

BEST AVAILABLE COPY**PATENT ABSTRACTS OF JAPAN**

(11)Publication number : 01-142796

(43)Date of publication of application : 05.06.1989

(51)Int.Cl.

G09G 3/36

(21)Application number : 62-302723

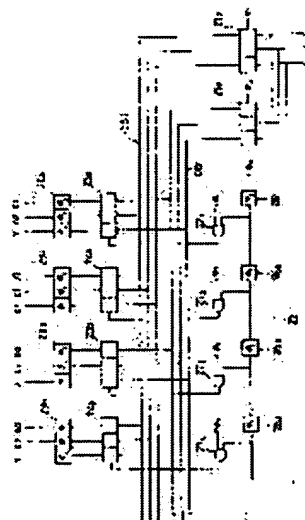
(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 30.11.1987

(72)Inventor : KAWAMURA MASAO
USUI MINORU**(54) PICTURE DISPLAY DEVICE****(57)Abstract:**

PURPOSE: To surely cope with even data having a high transfer frequency by alternately taking out picture input data by two-phase clock pulses and transferring this data to a latch circuit by two-phase clocks.

CONSTITUTION: Data D1 to D3 sent from an A/D conversion circuit synchronously with two-phase clock pulses ϕ_2 and ϕ_1 are read into buffers 21 and 21b. Data read into buffers 21a and 21b are successively latched in latch circuits 23a, 23b, 24a, and 24b synchronously with two-phase latch clocks which are generated by successively shifting a latch timing signal ϕ_M in a latch clock generation circuit 25 by pulses ϕ_1 and ϕ_2 . When data of one line is latched in circuits 23a, 23b, 24a, and 24b in this manner, a latch pulse ϕ_L is given, and data latched in circuits 23a, 23b, 24a, and 24b are transferred to latch circuits 28a, 28b, 29a, and 29b and are sent to a driving circuit as picture data D1 to D3.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

平1-142796

⑤Int.Cl.⁴

識別記号

庁内整理番号

⑬公開 平成1年(1989)6月5日

G 09 G 3/36

8621-5C

審査請求 未請求 発明の数 2 (全7頁)

⑭発明の名称 画像表示装置

⑯特 願 昭62-302723

⑰出 願 昭62(1987)11月30日

⑱発 明 者 川 村 昌 男 東京都東大和市桜が丘2丁目229番地 カシオ計算機株式会社東京事業所内

⑲発 明 者 臼 井 実 東京都東大和市桜が丘2丁目229番地 カシオ計算機株式会社東京事業所内

⑳出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

㉑代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

画像表示装置

2. 特許請求の範囲

(1) 複数のラッチ回路に対し、ラッチパルスを順次シフトさせていって画像データを順次ラッチし、上記ラッチ回路にラッチさせた画像データに基づいてドットマトリクス型表示パネルの信号電極を複数階調の信号で表示駆動する画像表示装置において、入力されるnビットの画像データを位相の異なるクロックパルスで交互に読込む一対のバッファ回路と、ラッチタイミング信号を2相のクロックパルスにより順次シフトして順次位相の異なる2相のラッチクロックを発生するラッチクロック発生回路と、上記バッファ回路に保持されたデータを上記ラッチクロック発生回路から出力される2相の各ラッチクロックに同期して順次ラッチする複数のラッチ回路と、この複数のラッチ回路に記憶されたデータを所定のタイミングで一括して駆動回路に送出す手段とを具備したこ

とを特徴とする画像表示装置。

(2) 複数のラッチ回路に対し、ラッチパルスを順次シフトさせていって画像データを順次ラッチし、上記ラッチ回路にラッチさせた画像データに基づいてドットマトリクス型表示パネルの信号電極を複数階調の信号で表示駆動する画像表示装置において、入力されるnビットの画像データを位相の異なるクロックパルスで交互に読込む一対のバッファ回路と、この一対のバッファ回路の保持データをそれぞれバッファ回路を介して同じタイミングで各系統のデータバスラインに出力する手段と、ラッチタイミング信号をクロックパルスにより順次シフトして順次位相の異なるラッチクロックを発生するラッチクロック発生回路と、上記系統別にデータバスラインを介して送られてくるデータを上記ラッチクロック発生回路から出力されるラッチクロックにより順次ラッチする2系統のラッチ回路と、この2系統のラッチ回路に記憶されたデータを所定のタイミングで一括して駆動回路に送出す手段とを具備したことを特徴とす

る画像表示装置。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、液晶等のドットマトリクス型表示パネルに階調表示を行なう画像表示装置に関し、特に信号電極駆動回路の改良に関する。

〔従来技術とその問題点〕

従来、液晶等のドットマトリクス型表示パネルに階調表示を行なう画像表示装置では、 n ビットのデータを信号電極駆動回路に供給することにより、 2^n の階調表示を行なわせているが、画素数を増加させていった場合には、そのデータの転送周波数を高くしていかなければならない。この場合、転送周波数に応じて信号電極駆動回路の動作周波数を高くする必要があるが、動作周波数を上げることは回路の高級化を伴い、回路上の制約を受けると共に、消費電力、発生ノイズが大きくなってしまふ。

第3図は従来における液晶駆動回路（セグメントドライバ）の構成を示すものである。同図にお

$D3$ のサンプリング周波数と同じになる。このため信号電極駆動回路の動作周波数により転送周波数が制約されてしまい、転送周波数を余り高くできないという欠点があった。また、信号電極駆動回路を高い周波数に対応できるようにすると、回路が高級化して高価になると共に、動作周波数の上昇を伴って消費電力、発生ノイズが大きくなってしまふという問題があった。

〔発明の目的〕

本発明は上記実情に鑑みてなされたもので、信号電極駆動回路の動作周波数が低くても、それ以上の動作周波数の信号電極駆動回路と同等のデータを扱うことができる画像表示装置を提供することを目的とする。

〔発明の要点〕

本発明は、複数のラッチ回路に対し、ラッチパルスを順次シフトさせていって画像データを順次ラッチし、上記ラッチ回路にラッチさせた画像データに基づいてドットマトリクス型表示パネルの信号電極を複数階調の信号で表示駆動する画像表

示装置において、11はシフトレジスタで、各段のレジスタ部11a, 11b, ...がD型フリップフロップにより例えば3ビット構成となっている。上記シフトレジスタ11は、前段のA/D変換回路（図示せず）から送られてくる3ビットのデータ $D1 \sim D3$ を2相のクロックパルス $\phi 1$, $\phi 2$ により逐次シフトしてレジスタ部11a, 11b, ...を順次シフトする。そして、上記シフトレジスタ11のレジスタ部11a, 11b, ...に1ライン分のデータがセットされると、その後、ラッチパルス ϕ_L が与えられて上記各レジスタ部11a, 11b, ...の保持データがラッチ回路12a, 12b, ...にラッチされ、駆動回路（図示せず）へ送られる。この駆動回路は、上記ラッチ回路12a, 12b, ...にラッチされたデータに基づいて例えば8階調の駆動信号を作成し、液晶表示パネルのセグメント電極を表示駆動する。

しかして、上記のように構成された従来の駆動回路では、クロックパルス $\phi 1$, $\phi 2$ 及びシフトレジスタ11のレジスタ部11a, 11b, ...をシフトするデータの転送周波数が、入力データ $D1 \sim$

示装置において、画像入力データを2相のクロックパルスによりバッファ回路を介して交互に取出し、そのデータを2相のクロックによりラッチ回路へ転送することにより、転送周波数の高いデータに対しても確実に対応できるようにしたものである。

また、本発明は、画像入力データを2相のクロックパルスによりバッファ回路を介して2系統に分け、それぞれ各系統別にデータバスラインを介して同位相でラッチ回路に転送することにより、各系統の動作周波数を低下させると共に、上記ラッチ回路に対して1相のラッチクロックでデータをラッチできるようにしたものである。

〔発明の第1実施例〕

以下、図面を参照して本発明の実施例を説明する。第1図に示すように前段のA/D変換回路（図示せず）から送られてくる n ビット例えば3ビットの表示用データ $D1 \sim D3$ は、3ビットのバッファ21a, 21bに入力される。バッファ21aはタイミング信号発生回路（図示せず）から与え

られるクロックパルス ϕ_2 に同期して入力データD1～D3の読みを行ない、バッファ21bはクロックパルス ϕ_1 に同期して入力データD1～D3の読みを行なう。上記クロックパルス ϕ_1 、 ϕ_2 は、周波数が同じで位相のみが 180° 異なる2相のクロックパルスである。そして、上記バッファ21aに保持されたデータはデータバスラインDB1を介してラッチ回路23a、23b、…へ送られ、バッファ21bに保持されたデータはデータバスラインDB2を介してラッチ回路24a、24b、…へ送られる。上記ラッチ回路23a、23b、…はドットマトリクス型表示パネル例えば液晶表示パネル(図示せず)の奇数番目の信号電極(セグメント電極)に対応して設けられ、ラッチ回路24a、24b、…は偶数番目の信号電極に対応して設けられる。そして、上記ラッチ回路23a、23b、…、24a、24b、…には、ラッチクロック発生回路25からラッチクロックが与えられる。このラッチクロック発生回路25は、エッジトリガタイプのフリップフロップ26₁、26₂、…及びアンド回路27₁、

27₂、…からなり、フリップフロップ26₁、26₂、…によりシフトレジスタを構成している。上記フリップフロップ26₁、26₂、…は、奇数段がクロックパルス ϕ_2 に同期して動作し、偶数段がクロックパルス ϕ_1 に同期して動作するもので、タイミング信号発生回路から与えられるラッチタイミング信号 ϕ_M をクロックパルス ϕ_2 、 ϕ_1 に同期して順次シフトし、その出力信号をアンド回路27₁、27₂、…にそれぞれ入力する。上記ラッチタイミング信号 ϕ_M は、水平同期信号に同期して与えられるスタート信号である。また、上記アンド回路27₁、27₂、…には、奇数段にクロックパルス ϕ_1 が与えられ、偶数段にクロックパルス ϕ_2 が与えられる。そして、上記奇数段のアンド回路27₁、27₃、…の出力信号がラッチ回路23a、23b、…に、また、偶数段のアンド回路27₂、27₄、…の出力信号がラッチ回路24a、24b、…にラッチクロックとして与えられる。上記ラッチ回路23a、23b、…、24a、24b、…は、上記ラッチクロック発生回路25からのラッチクロックに

同期して入力データをラッチし、3ビットのラッチ回路28a、28b、…、29a、29b、…へ出力する。このラッチ回路28a、28b、…、29a、29b、…は、タイミング信号発生回路からのラッチパルス ϕ_L に同期して入力データをラッチし、そのラッチデータD1～D3を駆動回路(図示せず)へ出力する。この駆動回路は、上記ラッチデータD1～D3により8階調の駆動信号を作成し、液晶表示パネルの信号電極を表示駆動する。上記ラッチパルス ϕ_L は、水平同期信号に同期して与えられる信号である。

次に上記実施例の動作を説明する。前段のA/D変換回路は、クロックパルス ϕ_1 、 ϕ_2 に同期して動作し、アナログ画像信号を3ビットのデジタルデータD1～D3に変換している。すなわち、A/D変換回路は、1水平走査における画像信号に対し、クロックパルス ϕ_1 、 ϕ_2 により交互にA/D変換してバッファ21a、21bに出力している。まず、上記クロックパルス ϕ_1 によりA/D変換されたデータD1～D3は、クロックパルス

ϕ_2 に同期してバッファ21aに読み込まれ、次にクロックパルス ϕ_2 に同期してA/D変換されたデータD1～D3は、クロックパルス ϕ_1 に同期してバッファ21bに読み込まれる。そして、上記バッファ21aに読み込まれたデータは、データバスラインDB1を介してラッチ回路23a、23b、…へ送られ、バッファ21bに読み込まれたデータは、データバスラインDB2を介してラッチ回路24a、24b、…へ送られる。

一方、ラッチクロック発生回路25においては、各水平走査の開始タイミングでラッチタイミング信号 ϕ_M が与えられる。ラッチクロック発生回路25は、このラッチタイミング信号 ϕ_M をクロックパルス ϕ_2 に同期してフリップフロップ26₁に読み込み、アンド回路27₁及びフリップフロップ26₂に入力する。この結果、次に与えられるクロックパルス ϕ_1 がアンド回路27₂より出力され、ラッチ回路23aへラッチクロックとして送られる。これによりラッチ回路23aは、バッファ21aからデータバスラインDB1を介して与えられるデータ

をラッチする。また、上記クロックパルス ϕ_1 のタイミングでフリップフロップ26₁の出力がフリップフロップ26₂に送られ、アンド回路27₂及びフリップフロップ26₃に入力される。従って、次に与えられるクロックパルス ϕ_2 がアンド回路27₂より出力され、ラッチ回路24aへラッチクロックとして送られる。これによりラッチ回路24aは、バッファ21bからデータバスラインDB2を介して与えられるデータをラッチする。

以下、同様にしてA/D変換回路からクロックパルス ϕ_1 、 ϕ_2 に同期して送られてくるデータD1～D3は、バッファ21a、21bに送られ、ラッチクロック発生回路25から出力されるラッチクロックによりラッチ回路23a、23b、…、24a、24b、…に順次ラッチされる。そして、ラッチ回路23a、23b、…、24a、24b、…に1ライン分のデータがラッチされると、その後、ラッチパルス ϕ_L が与えられ、ラッチ回路23a、23b、…、24a、24b、…にラッチされているデータがラッチ回路28a、28b、…、29a、29b、…に転送さ

れ、画像データD1～D3として駆動回路(図示せず)へ送られる。この駆動回路は、ラッチ回路28a、28b、…、29a、29b、…からのデータD1～D3により8階調の駆動信号を作成し、液晶表示パネルの信号電極を表示駆動する。

上記のようにA/D変換回路からの入力データD1～D3をバッファ21a、21bに交互に送込み、データバスラインDB1、DB2を介してラッチ回路23a、23b、…、24a、24b、…に転送することにより、入力データD1～D3を2系統に分けて処理でき、各系統の動作周波数を入力データD1～D3の転送周波数の1/2とすることができ

[発明の第2実施例]

次にこの発明の第2実施例について第2図により説明する。同図に示すように前段のA/D変換回路(図示せず)から送られてくる3ビットの表示用データD1～D3は、3ビットのバッファ21a、21bに入力される。バッファ21aはタイミング信号発生回路(図示せず)から与えられるク

ロックパルス ϕ_2 に同期して入力データD1～D3の読みを行ない、バッファ21bはクロックパルス ϕ_1 に同期して入力データD1～D3の読みを行なう。そして、上記バッファ21a、21bに保持されたデータは、3ビットのバッファ22a、22bへそれぞれ送られる。上記バッファ22aは、入力データをクロックパルス ϕ_1 により読んでクロックパルス ϕ_2 で出力し、バッファ22bは入力データをクロックパルス ϕ_2 により読んでそのまま出力する。そして、上記バッファ22aに保持されたデータはデータバスラインDB1を介してラッチ回路23a、23b、…へ送られ、バッファ22bに保持されたデータはデータバスラインDB2を介してラッチ回路24a、24b、…へ送られる。上記ラッチ回路23a、23b、…、24a、24b、…には、ラッチクロック発生回路25Aからラッチクロックが与えられる。このラッチクロック発生回路25Aは、クロックパルス ϕ_2 に同期して動作するエッジトリガタイプのフリップフロップ26a、26b、…及びアンド回路27a、27b、…

からなっている。上記フリップフロップ26a、26b、…は、シフトレジスタを構成しており、タイミング信号発生回路から与えられるラッチタイミング信号 ϕ_m をクロックパルス ϕ_2 に同期して順次シフトし、各フリップフロップ26a、26b、…の出力信号をアンド回路27a、27b、…にそれぞれ入力する。また、このアンド回路27a、27b、…にはクロックパルス ϕ_1 が与えられ、各アンド回路27a、27b、…の出力信号がラッチ回路23a、23b、…及びラッチ回路24a、24b、…にラッチクロックとして与えられる。上記ラッチ回路23a、23b、…、24a、24b、…は、上記ラッチクロック発生回路25Aからのラッチクロックに同期して入力データをラッチし、3ビットのラッチ回路28a、28b、…、29a、29b、…へ出力する。このラッチ回路28a、28b、…、29a、29b、…は、タイミング信号発生回路からのラッチパルス ϕ_L に同期して入力データをラッチし、そのラッチデータD1～D3を駆動回路(図示せず)へ出力する。

次に上記第2実施例の動作を説明する。上記したように前段のA/D変換回路は、各水平走査における画像信号をクロックパルス $\phi 1$ 、 $\phi 2$ により交互にA/D変換してバッファ21a、21bに出力する。まず、上記クロックパルス $\phi 1$ によりA/D変換されたデータD1～D3は、クロックパルス $\phi 2$ に同期してバッファ21aに読み込まれ、次にクロックパルス $\phi 2$ に同期してA/D変換されたデータD1～D3は、クロックパルス $\phi 1$ に同期してバッファ21bに読み込まれる。そして、上記バッファ21aに読み込まれたデータは、クロックパルス $\phi 1$ によりバッファ22aに転送され、クロックパルス $\phi 2$ に同期してバッファ22aから出力される。また、バッファ21bに読み込まれたデータは、クロックパルス $\phi 2$ に同期してバッファ22bに転送され、直ちにバッファ22bより出力される。この結果、A/D変換回路からクロックパルス $\phi 1$ 、 $\phi 2$ の異なるタイミングで送られてくるデータは、バッファ22a、22bからクロックパルス $\phi 2$ に同期した同じタイミングで出力され、データバスラ

インDB1、DB2を介してラッチ回路23a、23b、…、24a、24b、…へ送られる。

一方、ラッチクロック発生回路25Aにおいては、各水平走査の開始タイミングで与えられるラッチタイミング信号 ϕ_m を、クロックパルス $\phi 2$ に同期して、つまり、バッファ回路21a、21bの保持データがバッファ回路22a、22bを介して出力されるタイミングでフリップフロップ26aに読み込み、アンド回路27a及びフリップフロップ26bに入力する。この結果、次に与えられるクロックパルス $\phi 1$ がアンド回路27aより出力され、ラッチ回路23a、24aへラッチパルスとして送られる。これによりラッチ回路23a、24aは、バッファ22a、22bからそれぞれデータバスラインDB1、DB2を介して与えられているデータをラッチし、ラッチ回路28a、29aに出力する。

以下、同様にしてA/D変換回路からクロックパルス $\phi 1$ 、 $\phi 2$ に同期して送られてくるデータD1～D3が、バッファ21a、21b及びバッファ22a、22bに読み込まれて出力タイミングが揃えら

れ、ラッチクロック発生回路25Aから出力されるラッチクロックによりラッチ回路23a、23b、…、24a、24b、…に順次ラッチされる。そして、ラッチ回路23a、23b、…、24a、24b、…に1ライン分のデータがラッチされると、その後、ラッチパルス ϕ_l が与えられ、ラッチ回路23a、23b、…、24a、24b、…にラッチされているデータがラッチ回路28a、28b、…、29a、29b、…に転送され、画像データD1～D3として駆動回路(図示せず)へ送られる。

上記のようにA/D変換回路からの入力データD1～D3をバッファ21a、21bに交互に読み込み、その後、バッファ22a、22bにより位相を揃えて2系統のデータバスラインDB1、DB2を介してラッチ回路23a、23b、…、24a、24b、…に転送することにより、上記第1の実施例と同様に各系統の動作周波数を入力データD1～D3の転送周波数の1/2にできると共に、ラッチクロック発生回路25Aから出力される1相のラッチクロックにより転送データをラッチ回路23a、23b、

…、24a、24b、…にラッチすることができる。

なお、上記実施例では、液晶表示パネルを例にとって説明したが、本発明はこれに限定されるものでなく、ドットマトリクス型の表示パネルを備えた画像表示装置に適用し得るものである。

〔発明の効果〕

以上詳記したように本発明によれば、複数のラッチ回路に対し、ラッチパルスを順次シフトさせていった画像データを順次ラッチし、上記ラッチ回路にラッチさせた画像データに基づいてドットマトリクス型表示パネルの信号電極を複数階層の信号で表示駆動する画像表示装置において、画像入力データを2相のクロックパルスによりバッファ回路を介して交互に取出し、そのデータを2相のラッチクロックによりラッチ回路へ転送するようにしたので、回路の動作周波数を画像入力データの転送周波数の1/2にすることができる。

また、本発明は、画像入力データを2相のクロックパルスによりバッファ回路を介して2系統に分け、且つ、各系統の出力データを同位相のデ

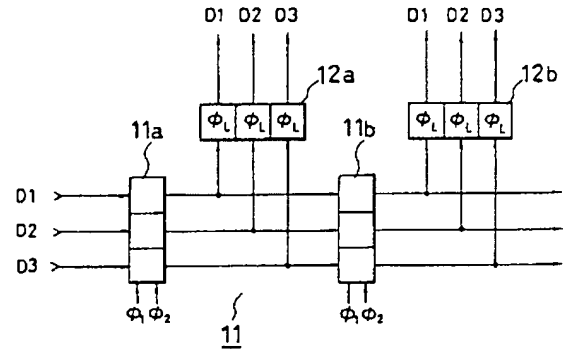
タに変換してそれぞれ系統別にデータバスラインを介してラッチ回路に転送するようにしたので、各系統の動作周波数を画像入力データの転送周波数の1/2にでき、且つ、2系統のラッチ回路に対して1相のラッチクロックで転送データをラッチさせることができる。このためラッチ回路に対するラッチクロックの信号線が1本で良いと共に、ラッチクロックの作成回路を簡易化することができる。

4. 図面の簡単な説明

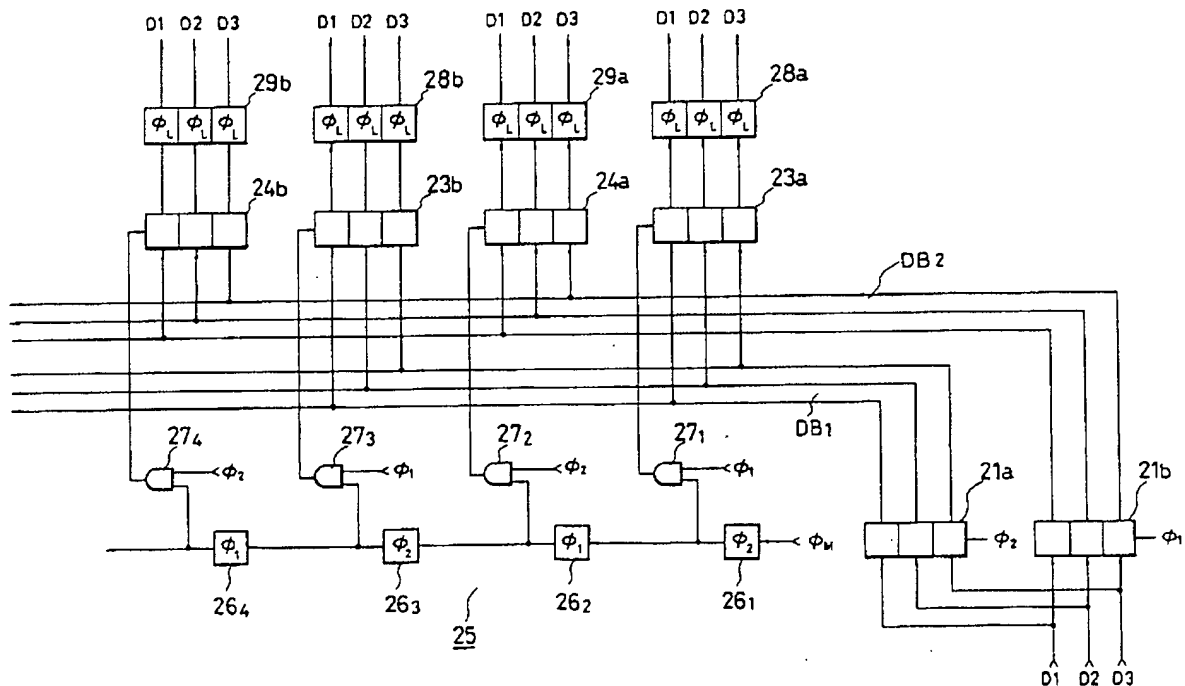
第1図は本発明の第1実施例を示すブロック図、第2図は本発明の第2実施例を示すブロック図、第3図は従来における液晶駆動回路の構成を示すブロック図である。

21a, 21b, 22a, 22b…バッファ回路、23a, 23b, 24a, 24b, …ラッチ回路、25, 25A…ラッチクロック発生回路、28a, 28b, 29a, 29b, …ラッチ回路。

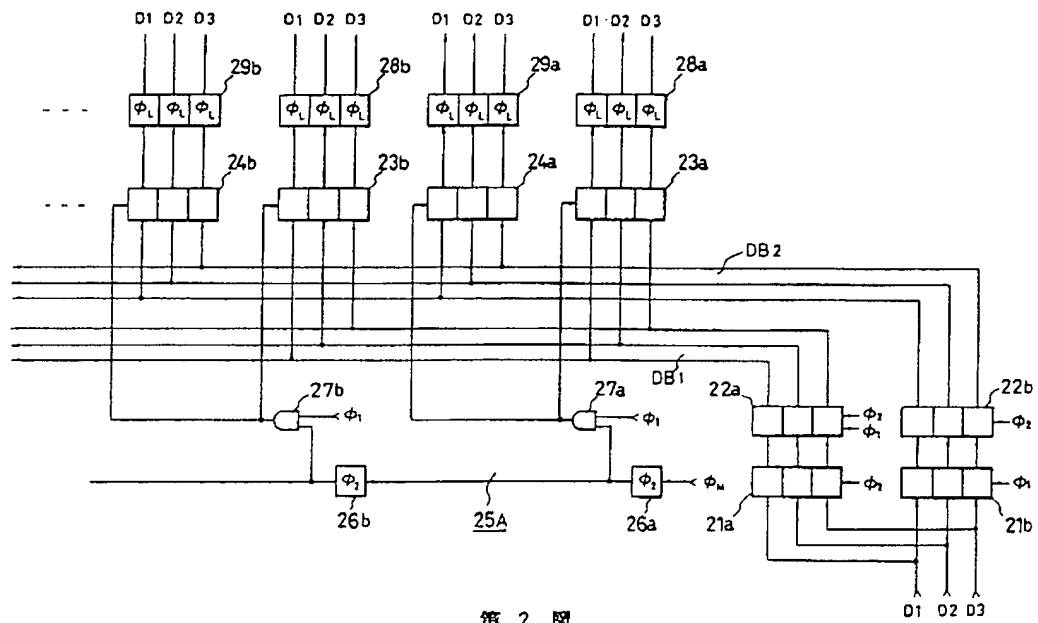
出願人代理人 弁理士 鈴江武彦



第 3 図



第 1 図



第 2 図